

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-227668

(43)Date of publication of application : 09.10.1986

(51)Int.Cl.

H02M 7/06

B41J 29/38

H02M 3/28

H02P 7/00

(21)Application number : 60-067685

(71)Applicant : TOSHIBA ELECTRIC EQUIP CORP

(22)Date of filing : 30.03.1985

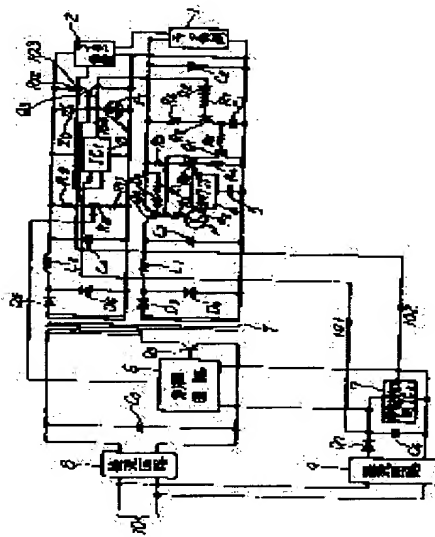
(72)Inventor : YUDA TOKUJI

## (54) POWER SOURCE CIRCUIT

## (57)Abstract:

PURPOSE: To readily perform means for holding the short-circuiting state of a special load by forcibly discharging a charge stored in the second or following load in the state that a voltage is applied to the first load at a certain delay time when a power source is OFF.

CONSTITUTION: After the power source voltage of a microcomputer load 2 rises when a power source is turned ON, the power source voltage of a motor load 1 rises. When the power source is interrupted, an IC17 erases a signal 102 at a certain delay time constant. Thus, a transistor Q3 is turned OFF to stop the operation of the load 2, and a signal 104 is generated from an IC13. Transistors Q2, Q1 are conducted by the signal 104, a dropper Q4 is turned OFF, and the charge stored in a capacitor C2 is discharged forcibly momentarily through a resistor R1, a diode D1 and the transistor Q1. At this time, a microcomputer power source, an initial signal 103 and the signal 104 are erased.



**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報(A)

昭61-227668

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月9日

H 02 M 7/06  
B 41 J 29/38  
H 02 M 3/28  
H 02 P 7/00

6650-5H  
6822-2C  
7829-5H  
7315-5H

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 電源回路

⑯ 特 願 昭60-67685

⑰ 出 願 昭60(1985)3月30日

⑱ 発 明 者 湯 田 徳 治 東京都港区三田1丁目4番28号 東芝電材株式会社内

⑲ 出 願 人 東芝電材株式会社 東京都港区三田1丁目4番28号

⑳ 代 理 人 弁理士 佐藤 一雄 外2名

## 明 細 書

## 1. 発明の名称 電源回路

## 2. 特許請求の範囲

1. 1入力多出力のトランス出力を整流して多数負荷へ直流電圧を与える電源回路において、

電源のオン、オフにより立上り、立下る第1の信号を発生する手段と、

第1の信号が立上り、立下ってからある遅れ時定数で発生し、消滅する第2の信号を発生する手段と、

第1の負荷に電圧が印加されておりかつ第2の信号がないとき生じする第3の信号を発生する手段と、

第1の負荷に電圧がありさらに第2の信号が立下ったときに発生する第4の信号を発生する手段と、

第4の信号により第2以下の負荷に蓄積された電荷を強制放電させる手段と、

を具備することを特徴とする電源回路。

2. 第2以下の負荷に蓄積された電荷を強制放電するとき、第2以下の負荷へ与えられる直流電圧のドロップをスイッチング手段とする

特許請求の範囲第1項記載の電源回路。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明は、モータ等を負荷とする電源における電源オフ時の短絡回路に関する。

(発明の技術的背景とその問題点)

モータ等が負荷として使われる電源回路において、入力電源がオフ時にモータ逆起電力による出力電圧を短時間にショートする手法は種々考えられる。

まず、入力電源オフ時にリレーを使ってモータ出力電圧を短絡する方法は、リレーの作動について時間的な遅れが生じ、不具合である。

また、その短絡のスイッチング手段に半導体を使用した場合は、その半導体を動かす電力が必要

となるため、一旦オンすればその動作を持続するサイリスタ等が採用されるが、モータ負荷の場合には供給電力がなくなった時点で回生電力が発生し、サイリスタをオンしつづける。

この状態で、入力電源がオンされると、サイリスタはオンを継続しつづけるため負荷短絡となり、モータへの電力の供給ができなくなるという欠点がある。

#### (発明の目的)

ここにおいて本発明は、従来装置の難点を克服し、たとえばOA用電源として多出力をもつ電源が要求され、これらの電源負荷にはCPUやモータなどがあり、モータの制御はCPUで行なわれるので、モータへの電源より必ずCPUへの電源が先に電圧が立上り、入力電源オフ時にCPU電源が最後まで供給される必要があり、このような手段をそなえる電源回路を提供することを、その目的とする。

#### (発明の概要)

本発明は、

ジスタ、 $R_1 \sim R_{12}$ は抵抗、Tは1入力2出力のトランスである。

交流電源10から供給される交流電圧は整流回路8で直流に変換し、コンデンサ $C_5$ で平滑し、トランジスタ $Q_5$ によりチョッパリングされ、トランスTを介して負荷側へ出力する。

マイコン負荷2へはダイオード $D_2$ で整流し、インダクタ $L_2$ およびコンデンサ $C_4$ で平滑し負荷2へ直流電圧が与えられる。可変抵抗 $R_{10}$ からは制御回路6へ分圧された回路電圧が帰還され、チョッパでの流通位相を制御してトランスの出力電圧を一定に調整する。

モータ負荷1へはダイオード $D_3$ で整流し、インダクタ $L_1$ およびコンデンサ $C_3$ で平滑し、かつトランジスタ $Q_4$ で電圧を一定電圧に降下させ、コンデンサ $C_2$ を並列接続したモータ負荷1へ直流電圧が印加される。

ドロップは、分圧された回路電圧が抵抗 $R_8$ から入力し定電圧源5の基準電圧と比較演算された

1入力多出力のトランス出力を整流して多数負荷へ直流電圧を与える電源回路において、

電源オフ時に、それからある遅れ時間を経て、第1の負荷(たとえばマイコン)に電圧が印加されていることから、第2以下の負荷の蓄積している電荷を強制的に放電させる手段をそなえる電源回路である。

#### (発明の実施例)

本発明の一実施例における回路構成を表わすブロック図を第1図に示す。

1は機器を動作させる駆動源となるモータ負荷、2はモータその他部材を制御するマイコン負荷、3は第1の集積化制御部材、4は演算増幅器、5は定電圧源たとえば電池、6はチョッパ制御回路、7は停電検知用の第2の集積化制御部材、8、9は整流回路、10は商用交流電源、 $C_1 \sim C_6$ はコンデンサ、 $D_1 \sim D_7$ はダイオード、ZDはツェナダイオード、 $L_1, L_2$ はインダクタ、 $P_1, P_2$ はフォトカブラ、 $Q_1 \sim Q_5$ はトラン

ジスタ、出力がベース抵抗 $R_2$ に流れ、トランジスタ $Q_4$ は入力電圧を常に一定の電圧へ降下させて出力する。

一方、交流電源10が整流回路9で直流へ変換されコンデンサ $C_6$ で平滑した電圧は制御回路6へ供給されるとともに、停電検知用の第2の集積化制御部材7はコンデンサ $C_6$ の両端子に接続される。

第2図は、この実施例の各部の動作を表わすタイムチャートである。

では、その回路動作を示す。

時点 $t_1$ で電源投入により信号101が発生する→信号101がIC<sub>1</sub>の3に入力する→時点 $t_2$ でマイコン負荷2の電源電圧(マイコン電源)が立上る、それと同時にイニシャル信号103が発生する→ツェナダイオードZDおよびフォトカブラ $P_1, P_2$ を経てすこし遅れて時点 $t_3$ でモータ負荷1の電源電圧(モータ用電源)が立上る→ある時間遅れ時点 $t_4$ で信号102が発生しト

ランジスタ $Q_3$  がオンし信号103がなくなる→これを条件にマイコンが正常動作を行なう→この後モータ負荷1はマイコンに運転制御を受けて作動する。

電源断が時点 $t_5$ で起り→信号101が消え→IC<sub>2</sub>の7はある遅れ時定数をもって時点 $t_6$ で信号102を消滅させる→ランジスタ $Q_3$ がオフして信号104が発生し( $t_6$ )→マイコンが動作を停止し( $t_6$ )→IC<sub>1</sub>の3から信号104が発生し( $t_6$ )、信号103がIC<sub>1</sub>の3に入力し( $t_6$ )→信号101がなく信号103があるのを条件としてIC<sub>1</sub>の3は信号104を発生する。

時点 $t_6$ で信号104がランジスタ $Q_2$ のベースに与えられるとこれが連通し→ランジスタ $Q_1$ も関連して導通し→ドロップ $Q_4$ はオフとなり→コンデンサ $C_2$ に蓄積された電荷は抵抗 $R_1$ 、ダイオード $D_1$ 、ランジスタ $Q_1$ を経て強制的に瞬時(コンデンサ $C_1$ 、抵抗 $R_5$ で決定する放電時定数で決る時間)に放電される。もっともそ

のさいのランジスタ $Q_1$ の駆動電源はランジスタ $Q_2$ がオンによりコンデンサ $C_1$ に蓄えられた電気的エネルギーによる。

その後、時点 $t_7$ でマイコン用電源、イニシャル信号103および信号104も共に消滅する。

このように、特定のマイコン負荷2は他の被制御のモータ負荷1等を十分制御可能な状態において、常に電源のオン、オフがなされており、マイコンの被制御部材が制御から外れてフリーランすることはない。

(発明の効果)

かくして本発明によれば、1入力多出力電源をそなえる回路において、特定の負荷の短絡状態を長時間保持するための手段を容易に実現でき、また負荷がモータであっても問題は生じない。

本発明は当該分野に寄与するところ大きく、とくにプリンター用電源とし最適である。

#### 4. 図面の簡単な説明

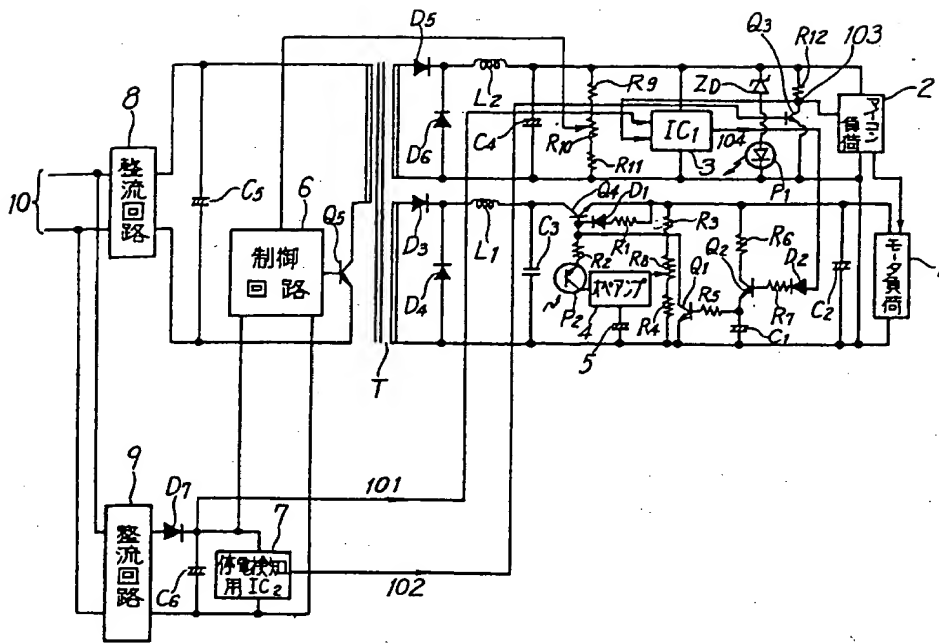
第1図は本発明の一実施例の回路構成を表わす

ブロック図、第2図はその各部の動作を示すタイムチャートである。

1…モータ負荷、2…マイコン負荷、3…第1の集積化制御部材、4…演算増幅器、5…定電圧電源、6…チョッパ制御回路、7…停電検知用第2の集積化制御部材、8、9…整流回路、10…商用交流電源。

出願人代理人 猪 股 清

第 1 ☒



第 2 区

